

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

9235536

Basic Patent (No,Kind,Date): JP 2098143 A2 900410 <No. of Patents: 001>

MANUFACTURE OF LDD STRUCTURE POLYSILICON THIN FILM TRANSISTOR (English)

Patent Assignee: FUJI XEROX CO LTD

Author (Inventor): FUSE MARIO

IPC: *H01L-021/336; H01L-029/784

Derwent WPI Acc No: C 90-152691

JAPIO Reference No: 140302E000166

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2098143	A2	900410	JP 88250534	A	881004 (BASIC)

Priority Data (No,Kind,Date):

JP 88250534 A 881004

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03122643 **Image available**

MANUFACTURE OF LDD STRUCTURE POLYSILICON THIN FILM TRANSISTOR

PUB. NO.: 02-098143 [JP 2098143 A]

PUBLISHED: April 10, 1990 (19900410)

INVENTOR(s): FUSE MARIO

APPLICANT(s): FUJI XEROX CO LTD [359761] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 63-250534 [JP 88250534]

FILED: October 04, 1988 (19881004)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS);

 R003 (ELECTRON BEAM);

 R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 946, Vol. 14, No. 302, Pg. 166, June 28, 1990 (19900628)

ABSTRACT

PURPOSE: To independently control the concentration, depth of a low concentration layer by impregnating ions in high concentration on a gate insulating film and an insulating film formed on a gate electrode, then removing the insulating film, and impregnating ions in a low concentration.

CONSTITUTION: A polysilicon film 1 and an SiO(sub 2) film (gate insulating film) 2 are formed on an insulating substrate. Then, a gate electrode 3 is formed on the film. Subsequently, the whole surface is covered with a photoresist 4. Thereafter, P(sup +) ions are impregnated in high concentration on the resist 4 to form N(sup +) type source, drain regions 5, 6. Then, after the resist 4 is removed, ions are impregnated in low concentration, and an N(sup -) type region 7 is formed on the surface of the film 1 near the electrode 3 except the part under the electrode 3. According to the above method, the doping concentration and depth of the low concentration layer (n(sup -) type layer) can be independently controlled.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-98143

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月10日

H 01 L 21/336
29/784

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 LDD構造ポリシリコン薄膜トランジスタの製造方法

⑯ 特 願 昭63-250534

⑰ 出 願 昭63(1988)10月4日

⑱ 発 明 者 布 施 マ リ オ 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社
海老名事業所内

⑲ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

⑳ 代 理 人 弁理士 山 谷 皓 榮

明 細 書

1. 発明の名称 LDD構造ポリシリコン薄膜
トランジスタの製造方法

2. 特許請求の範囲

(Ⅰ) 絶縁性基板上にポリシリコン薄膜と、ゲート絶縁膜と、ゲート電極を具備するLDD構造ポリシリコン薄膜トランジスタの製造方法において、前記ゲート絶縁膜と前記ゲート電極上に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜の上から高濃度にイオンを注入する第1のイオン注入工程と、前記絶縁膜を除去する除去工程と、前記絶縁膜除去後、低濃度にイオンを注入する第2のイオン注入工程とを具備するLDD構造ポリシリコン薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はLDD (Lightly Doped Drain-source)

構造のポリシリコン薄膜トランジスタの製造方法に係り、時に大面積基板上に該トランジスタを同時に多数形成するのに適した製造方法に関する。

〔従来の技術〕

従来、単結晶シリコン基板中に形成するMOSFETにおいては、ドレイン電界の低減を実現するために少なくともドレイン領域近傍に低濃度不純物をドーブした領域を形成するLDD構造が知られている(例えば、IEEE Trans. Electron Dev. ED-29, pp590~596, 1982年参照)。

第2図にこのLDD構造のMOSFETの製造工程を示す。

(Ⅰ) 単結晶シリコン基板21上に例えば周知のロソス法により、フィールド酸化膜22、ゲート酸化膜22'を形成後、例えばCVD法でポリシリコン膜23'を堆積する。続いてCVDSiO₂膜24'を堆積する(第2図(a)参照)。

(Ⅱ) 次に反応性イオンエッチング(RIE)によって、CVDSiO₂膜24'と多結晶シリコ

ン膜23'をパターンニングしてゲート電極23を形成する(第2図(b)参照)。

(3) 続いて、ゲート電極23をマスクとしてセルファラインによりシリコン基板21の表面にn型不純物イオンを注入してn⁺層27'を形成する(第2図(c)参照)。

(4) さらにシリコン基板21の全面にCVDS10₂膜28'を堆積する(第2図(d)参照)。

(5) このCVDS10₂膜28'をRIEによりエッチングして、サイドウォール・スペーサー28を形成する(第2図(e)参照)。

(6) 次に、全面にn型不純物イオンを高濃度に注入して、ソース領域25、ドレイン領域26を形成する。なお29は保護膜である(第2図(f)参照)。

この方法をポリシリコン薄膜トランジスタに適用することは容易であり、素子間分離法は、ロコス法を用いずに直接シリコン・アイランド状にパターンニングしてもよい。

しかし、このような従来のLDD構造MOSF

ET全面にイオン注入に対して或る程度の抵抗を有する有機樹脂膜34を掘を有する山型に被覆する。この結果有機樹脂膜34とシリコン基板31までの厚みは、ゲート電極近傍(厚さA)と掘の部分(厚さB)とでは大きな差ができる(第3図(b)参照)。

(3) 続いて、n型不純物のリン(P)をイオン注入する。これにより有機樹脂膜34の厚みに応じて低濃度のn⁺型領域37と高濃度のn⁺型領域35、36が同時に形成される。従って、ソース領域35、ドレイン領域36のゲート電極側近傍にn⁺型領域37を有するLDD構造のMISFETが得られる(第3図(c)参照)。

(発明が解決しようとする課題)

ところが、第3図の製造方法では、ゲート電極33の近傍(側壁部)の有機樹脂膜34は不純物のドーピング濃度制御膜として作用するため、ここに被覆する有機樹脂膜等の材料特性で低濃度のn⁺型領域37の厚みが決まってしまう、その濃

度プロファイルが独立に制御出来ないという問題点がある。

さらに、大面積にわたりRIEのエッチング速度を一樣に保つことは技術的に不可能に近く、LDD構造ポリシリコン薄膜トランジスタを大面積基板上に多数同時に配置形成することは困難であった。

また、LDD構造MISFETの製造工程を簡略化した製造方法として、RIEを用いず、従ってサイドウォール・スペーサーを用いずにソース・ドレイン領域を形成する際の有機樹脂膜の被膜の厚さの相違を利用して、LDD構造MOSFETを形成する方法が提案されている(例えば特開昭61-267368号公報参照)。

この製造方法を第3図によって説明する。

(1) 絶縁膜32を形成したP型のシリコン基板31上にゲート電極33を形成する(第3図(a)参照)。

(2) 次にゲート電極33を含むシリコン基板3

度プロファイルが独立に制御出来ないという問題点がある。

さらに有機樹脂膜34がゲート電極33をなだらかに山型に被覆するために熱工程が必要となることや有機樹脂膜を粘度の低いものを用いることなどの問題点も存在する。

従って本発明は簡略化した製造工程で、ゲート電極近傍の絶縁膜の形状に影響されない、大面積基板上に多数のLDD構造ポリシリコン薄膜トランジスタを同時に形成することのできる製造方法を提供するものである。

(課題を解決するための手段および作用)

本発明は、前記目的を達成するため、従来の方法により絶縁性基板上にポリシリコン膜、ゲート絶縁膜、ゲート電極を形成した後、ゲート絶縁膜とゲート電極上に絶縁膜を形成し、この絶縁膜上から高濃度に不純物イオンを注入する第1のイオン注入工程により、ソース・ドレイン領域を形成する。次に絶縁膜を除去して、低濃度に不純物イ

オンを注入する第2のイオン注入工程により低濃度層(n⁻層)を形成するものである。

この製造方法によれば、ゲート絶縁膜とゲート電極上に形成する絶縁膜は、ゲート電極側壁近くで厚く被覆されるため、注入イオンがゲート電極下およびその近傍のポリシリコン膜表面に、到達する確率は極端に減少する。

そのためゲート電極下および側壁下の領域にはほとんどイオン注入が起こらない。従って、該絶縁膜を除去後、低濃度にイオン注入を行い低濃度層(n⁻層)を形成する。この方法によれば低濃度層(n⁻層)のドーピング濃度及び深さの制御が独立して行える。

(実施例)

本発明の実施例を第1図によって説明する。

第1図は本発明のLDD構造ポリシリコン薄膜トランジスタの製造工程説明図である。

第1図において、1はポリシリコン膜、2はSiO₂膜、3はゲート電極、4はフォトリソスト、

ポリシリコン膜表面に注入されるが、ゲート電極3の側壁近くのフォトリソスト4の厚みaは、他の部分の厚みbに比較して厚い。そのため注入イオンが、ゲート絶縁膜やその側壁近くのフォトリソストを突き抜けてポリシリコン膜1に到達する確率は極端に減少し、該部分下の領域にはほとんど注入は起こらない(第1図(d)参照)。

(b) 次にフォトリソスト4を酸素アッシング等で除去した後、再びP⁺イオンを約80~90 KeVで $1 \times 10^{13} \text{ cm}^{-2}$ ドーズのイオン注入を行い、ゲート電極下を除く電極近傍下のポリシリコン膜1の表面にn⁻型領域7を形成する(第1図(e)参照)。

その後の工程は通常のICプロセスと同じく、層間絶縁膜の堆積とコンタクト・ホール形成、アルミニウムのメタライゼーション等により目的のLDD構造ポリシリコン薄膜トランジスタを得ることができる。

なお、本実施例では、ポリシリコン層1を減圧CVD法を用いて形成した例について述べたが、

5はソース領域、6はドレイン領域、7はn⁻型低濃度領域を示す。

(1) まず、図示省略した石英基板上に、減圧CVD法を用いて、ポリシリコン膜1を約1000 Å堆積後、さらに減圧CVD法によって、ゲート絶縁膜としてSiO₂膜2を約1000 Å堆積する(第1図(a)参照)。

(2) 次にその場ドーピング(in-situ doping)により、リン(P)をドーピングしたポリシリコン膜を約4000 Å堆積し、フォトリソグラフィ法とドライエッチングによりパターンニングしてゲート電極3を形成する(第1図(b)参照)。

(3) 続いて、フォトリソスト4を約3000 Åの厚さで全面に塗布し、90℃で30分間ソフト・ベークする(第1図(c)参照)。

(4) その後、約160~180 KeVで、P⁺イオンを $2 \times 10^{13} \text{ cm}^{-2}$ ドーズのイオン注入を行い、n⁻型のソース領域5、ドレイン領域6を形成する。イオン注入の際、加速されるイオンは、ゲート電極3、フォトリソスト4を突き抜けてポ

本発明はこれに限られず、レーザー・ビーム、イオン・ビーム、電子ビーム等を用いたビーム・アニールによる再結晶化膜等を用いてもよい。

またゲート絶縁膜も本実施例の減圧CVD法の他熱酸化膜も用いることができることは勿論である。

さらに、ゲート電極材料は、イオン注入したドーパントの活性化のための高温アニールや、レジスト除去のための酸素アッシングに耐えるものであれば、本実施例のポリシリコンの他シリサイドでもよいし、タングステン(W)等の金属でもよい。

第1のイオン注入工程で用いるフォトリソストの厚さは、本実施例では約0.3 μmとしたが、0.2~0.8 μm程度の範囲で選択することが出来る。

そして、第3図の従来例で示した製造方法ではゲート電極側壁部のフォトリソスト膜は、不純物のドーピング濃度制御膜として用いるため、ゲート電極をなだらかに被覆する必要があり、そのため熱工程が不可欠である。しかし、本発明では

該部分のフォトリソ膜は第1のイオン注入工程のイオンストッパーとして作用するため、ゲート電極を含む基板を均一膜厚で被覆するものであればよい。

さらに、ゲート電極を均一膜厚で被覆するものであれば何でもよく、フォトリソ膜に限らず広く一般に減圧CVD SiO₂膜、常圧CVD SiO₂膜等の堆積膜、スピン・オン・ガラス(SOG)の塗布膜やポリイミド膜を用いることもできる。

〔発明の効果〕

本発明ではゲート絶縁膜とゲート電極上に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜の上から高濃度にイオンを注入する第1のイオン注入工程と、前記絶縁膜を除去する除去工程と、前記絶縁膜除去後、低濃度にイオンを注入する第2のイオン注入工程によりLDD構造ポリシリコン薄膜トランジスタを製造することができ、従来のようにサイドウォールを事前に形成する必要がない。

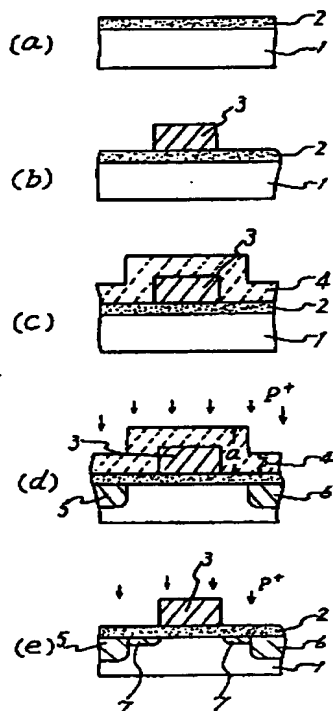
このため本発明によればレジスト塗布の如き絶縁膜形成とその除去という簡単な工程によって大面積基板上に多数の、ドレイン電極近傍での電界の緩和を図ることのできるLDD構造のポリシリコン薄膜トランジスタを得ることができる。

4. 図面の簡単な説明

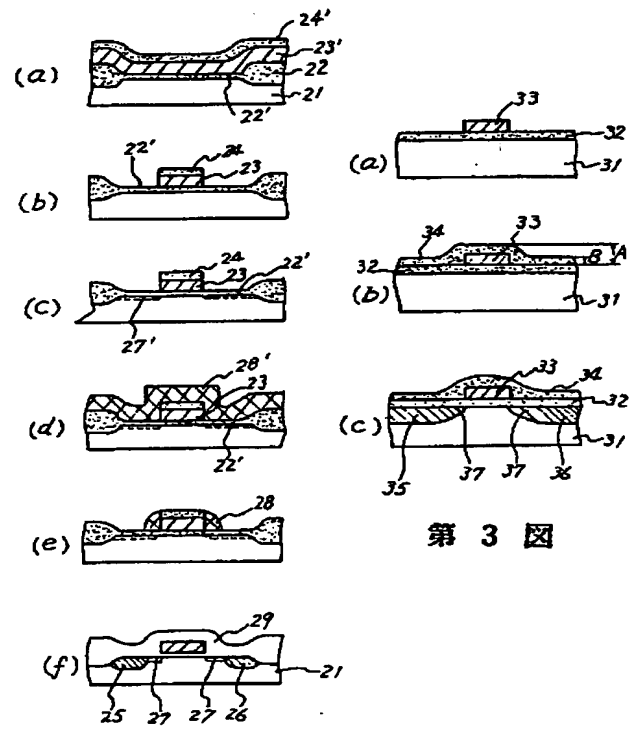
第1図は本発明の実施例の製造方法説明図、第2図、第3図は従来例の製造方法説明図である。

- 1……ポリシリコン膜、
- 2……SiO₂膜（ゲート絶縁膜）、
- 3……ゲート電極、
- 4……フォトリソ、
- 5……ソース領域、
- 6……ドレイン領域、
- 7……n⁺型低濃度領域

特許出願人 富士ゼロックス株式会社
代理人弁理士 山谷 略 榮



第 1 図



第 2 図